

CLIPPEDIMAGE= JP406061245A

PAT-NO: JP406061245A

DOCUMENT-IDENTIFIER: JP 06061245 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: March 4, 1994

INVENTOR-INFORMATION:

NAME

TAKAHASHI, TAKESHI

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP04210378

APPL-DATE: August 6, 1992

INT-CL (IPC): H01L021/331;H01L029/73 ;H01L021/20
;H01L029/06 ;H01L029/205

ABSTRACT:

PURPOSE: To reduce contact resistance between a collector electrode and a collector contact layer without high-temperature heat treatment by providing a superlattice layer which is formed by alternately laminating a well layer which allows higher electronic affinity than a first compound semiconductor layer and a barrier layer which allows lower electronic affinity than a second compound semiconductor layer.

CONSTITUTION: For the application to HBT, Al<SB>0.3</SB>Ga<SB>0.7</SB>As is used for an emitter, GaAs is used for base/collector and a superlattice formed by alternately forming an Inlays thin film and a GaAs thin film is used between a collector contact layer 2 and a collector layer 4.

Namely, the collector
contact layer 2, the superlattice layer 3, the collector
layer 4, the base
layer 5, the emitter layer 6 and the emitter contact
layer 7 are crystal-grown
on a substrate 1 composed of semi-insulating GaAs, etc.,
by MBE method. Then,
emitter mesa etching and base mesa etching are performed
by using photoresist.
Thus, stable element characteristics are provided.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-61245

(43)公開日 平成6年(1994)3月4日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 21/331				
29/73				
21/20		9171-4M		
29/06				
		7377-4M		
			H 0 1 L 29/72	
審査請求 未請求 請求項の数5(全7頁) 最終頁に続く				

(21)出願番号 特願平4-210378

(22)出願日 平成4年(1992)8月6日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 高橋 剛

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井柁 貞一

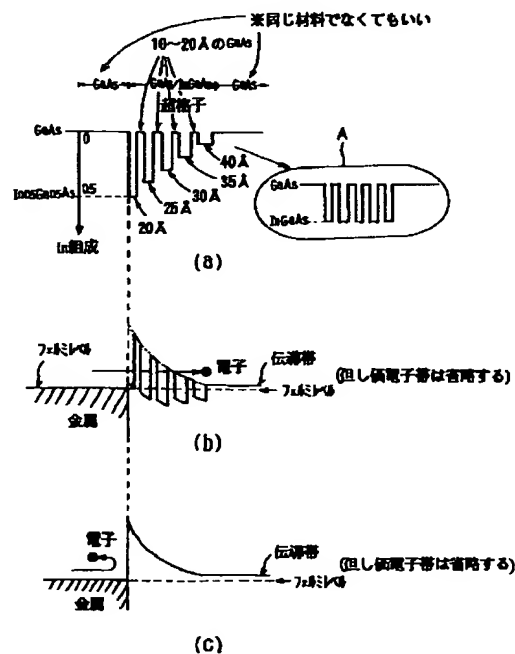
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 本発明は、半導体装置に関し、高温熱処理を行わないで、コレクタ電極とコレクタコンタクト層のコンタクト抵抗を低減することができ、安定した素子特性を得ることができるとともに、プロセスの自由度を上げることができる半導体装置を提供することを目的とする。

【構成】 異なる性質を有する少なくとも2種類以上の半導体薄膜を交互に重ねた超格子層3は、該超格子層3と性質の異なる2種の半導体層2、4間に形成されてなるように構成する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 一導電型の第1の化合物半導体層と、該第1の化合物半導体層ショットキ接触する電極の間に、該第1の化合物半導体層よりも電子親和力の大きい第2の化合物半導体層からなる井戸層と該第2の化合物半導体層よりも電子親和力が小さくキャリアがトンネル可能な厚みを有するバリア層とを交互に積層した超格子層を設けたことを特徴とする半導体装置。

【請求項2】 前記超格子層(3)は、コレクタコンタクト又はコレクタ層(2、4)とコレクタ電極(10)間に形成されてなることを特徴とする請求項1乃至2記載の半導体装置。

【請求項3】 前記超格子層(3)は、ベース層(5)とベース電極(9)間に形成されてなることを特徴とする請求項1乃至3記載の半導体装置。

【請求項4】 前記超格子層(3)は、エミッタ又はエミッタコンタクト層(6、11)とエミッタ電極(8)間に形成されてなることを特徴とする請求項1乃至4記載の半導体装置。

【請求項5】 前記超格子層(3)の前記井戸層の組成はその伝導帯の底または価電子頂のエネルギーレベルが順番にるように変化し、且つ膜厚が順番に変化してなることを特徴とする請求項1乃至4記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置に係り、詳しくはHBT(ヘテロ接合バイポーラトランジスタ)やホットエレクトロトランジスタ(HE T)等のバイポーラ型トランジスタに適用することができ、特に、コレクタ電極とコレクタコンタクト層のコンタクト抵抗を低くして素子の高速化を実現することができる半導体装置に関する。

【0002】近年、HBTにおいては高速動作し、電流駆動能力が高いため、マイクロ波デバイスや光通信用のドライバー等の応用が期待されている。

【0003】

【従来の技術】図7は従来のHBTの構造を示す断面図である。図7において、31は半絶縁性GaAs等の基板であり、32〜36は基板31上に順次形成された n^+ -GaAs等のコレクタコンタクト層、 n -GaAs等のコレクタ層、 p^+ -GaAs等のベース層、 n^+ -GaAs等のエミッタ層、 n^+ -InGaAs等のエミッタコンタクト層である。そして、37はエミッタコンタクト層36上に形成されたWSi等のエミッタ電極であり、38はベース層34上に形成されたCr/Au等のベース電極であり、39はコレクタコンタクト層32上に形成されたAuGe/Au等のコレクタ電極である。

【0004】従来のHBTは、図7に示すように、エミッタ層35、ベース層34及びコレクタ層33が各々均一な組成の領域に分かれており、一般にエミッタ層35部分にベ

ース層34よりバンドギャップの大きな材料を用い、ベース層34からエミッタ層35へのホールの注入を減らし、エミッタ層35からベース層34への電子の注入を増やして電流利得を得るように構成している。

【0005】ところで、超格子をベースに用いることで電子の注入効率を増やしたり、逆にホールの注入を阻止したりして、ベース中のホール速度を上げて高速動作させることができるバイポーラトランジスタが提案されている。例えば、特開昭60-10775号公報では、ベースに超格子を用いたバイポーラトランジスタが報告されている。これは、バンド構造がワイドギャップの半導体とナローギャップの半導体を交互に積み重ねた構造である。ワイドギャップの半導体には選択的に p 型不純物がドーピングされ、ナローギャップの半導体には不純物がドーピングされていない。このため、ホールはナローギャップ側に落ち込み、不純物散乱のない層を高速で走行することができるので、ベース抵抗を減らすことができ、素子の高速動作を期待することができるというものである。

【0006】また、特開昭62-268159号公報では、ベースに2種類の半導体の伝導帯 E_c 差が E_g 差より大きいことを特徴とした超格子を用いたバイポーラトランジスタが報告されている。この構造では、超格子中のホールは量子井戸中に落ち、そこから見たエミッタの障壁が高くなるために、エミッタにワイドギャップ半導体を用いなくても電流利得が稼げるというものである。

【0007】また、特開昭64-9656号公報では、ベースに歪みが入り超格子を有するバイポーラトランジスタが報告されている。ここでの歪み入り超格子では、圧縮応力のかかった部分でホールの移動度が数倍に大きくなるため、HBTのベース抵抗を減らすことができる。更に、特開昭61-150373号公報では、ベースにバンドギャップの小さい単結晶、混晶、超格子あるいは不純物をドーピングしてバンドギャップを狭くすることで低しき値を得ることができるバイポーラトランジスタが報告されている。これらの各特許では、超格子をベースに用いることが特徴である。

【0008】さて、ベース抵抗を下げるためにベース濃度を上げると、ベース中の不純物がエミッタ側に拡散し易くなる。このように、ベース中の不純物がエミッタ側に拡散してしまうと、キャリアの再結合が起き、電流利得が低下してしまうので好ましくなく、このため、これを抑えることが重要となる。また、ベース抵抗を下げる、相対的にベースへのコンタクト抵抗の寄与が大きくなるので、この抵抗を下げることも重要である。

【0009】更に、HBTのメサエッチングを行う場合は、ベース、エミッタ界面を制御性良く露出させないと、オーミック電極が形成できなくなり好ましくないので、ベース、エミッタ界面を制御性良く露出させる技術が必要である。そして、ベース抵抗を下げる手段として

10

20

30

40

50

は、ベース濃度を上げる他に、超格子をベースに用いる方法が提案されている。

【0010】しかしながら、ベース抵抗を下げようとしてベース全体に超格子を用いると、ベースの構造が複雑となってしまう、結晶成長の制御性が悪くなってしまうという欠点を有する。このベース全体に超格子を用いると、結晶成長の制御性が悪くなってしまうという問題を解決する方法としては、以前に本発明者が出願しており、ここでは、ベースの一部に超格子層を挿入してコンタクト抵抗率を低減するとともに、この超格子層をエッチングストッパーとして用いるという発明である。

【0011】次に、従来のHBTの製造方法を前述した図7を用いて説明する。まず、基板31上にコレクタコンタクト層32、コレクタ層33、ベース層34、エミッタ層35及びエミッタコンタクト層36を各々順次成長し、エミッタとベースを段階上にメサエッチングした後、エミッタコンタクト層36、ベース層34及びコレクタコンタクト層32上に各々エミッタ電極37、ベース電極38及びコレクタ電極39を形成することにより、図7に示すようなHBTを得ることができる。

【0012】

【発明が解決しようとする課題】上記した従来の半導体装置では、エミッタコンタクトの材料調整によってエミッタコンタクト部分の抵抗を低減することができる。即ち、エミッタコンタクト層とコレクタコンタクト層には通常n型半導体を用いており、例えばGaAs系でHBTを構成する際は、エミッタコンタクトにはInGaAsを用いることによってエミッタ電極とエミッタコンタクトのコンタクト抵抗を下げることができ、しかも、GaAsからInGaAsに組成を変化させて成長を行い、InGaAs上には何も成長させないために歪があまり大きくなりないので、結晶成長を良好に行うことができるという利点を有する。これに対し、コレクタコンタクトとコレクタ電極の抵抗を低減しようとして、上記と同様コレクタコンタクトにInGaAsを用いて結晶成長すると、格子定数がGaAsとは著しく異なるため、歪み等が生じて良好な結晶成長を行うことができず、この結果、コレクタコンタクトとコレクタ電極の抵抗を低減することができないという問題があった。

【0013】このため、従来では、コレクタ電極にGaAs系のアロイ電極を用い、450℃程度の高温熱処理をして、電極と半導体を合金化することによってコレクタコンタクト層とコレクタ電極とのコンタクト抵抗を下げていた。しかしながら、この方法では、450℃という高温熱処理をするため、素子特性が変動する等、安定した素子特性を得られ難いという問題があった。

【0014】そこで本発明は、高温熱処理を行わないでコレクタ電極とコレクタコンタクト層のコンタクト抵抗を低減することができ、安定した素子特性を得ることができるとともに、プロセスの自由度を上げることができ

る半導体装置を提供することを目的としている。

【0015】

【課題を解決するための手段】本発明による半導体装置は上記目的達成のため、一導電型の第1の化合物半導体層と、該第1の化合物半導体層ショットキ接触する電極の間に、該第1の化合物半導体層よりも電子親和力の大きい第2の化合物半導体層からなる井戸層と該第2の化合物半導体層よりも電子親和力が小さくキャリアがトンネル可能な厚みを有するバリア層とを交互に積層した超格子層を設けたものである。

【0016】本発明においては、前記交互に重ねた層の半導体の一部は、エミッタ、ベース、コレクタよりもバンドギャップが小さいか、または伝導帯が低い、もしくは価電子帯が高くなるように構成するのが好ましく、この場合、効率良く電子をトンネルさせることができる。本発明においては、前記超格子層は、コレクタコンタクト又はコレクタ層とコレクタ電極間に形成されてなるようにしてもよいし、ベース層とベース電極間に形成されてなるようにしてもよいし、エミッタ又はエミッタコンタクト層とエミッタ電極間に形成されてなるようにしてもよく、これらの場合、超格子層を形成しない場合よりも各コンタクト部のコンタクト抵抗を低減することができる。

【0017】本発明においては、超格子層の第一半導体層の組成の伝導帯または価電子帯の差が順番に変化し、それに伴って膜厚を変化するように構成するのが好ましく、この場合、良好な結晶成長を行うことができる。

【0018】

【作用】本発明者は、前述したように、ベース層上の一部に超格子層を形成し、この超格子層を介してベース層とベース電極とのコンタクト抵抗を低減することができることに着目し、コレクタコンタクト部分にもこの方法を採用し、コレクタコンタクト層上に超格子層を形成し、コレクタ層の一部をエッチングして露出された超格子層上にコレクタ電極を形成することで超格子層を介してコレクタコンタクト層とコレクタ電極とのコンタクトを取ったところ、従来の超格子層を介さずに各々を直接形成する場合よりもコレクタコンタクト層とコレクタ電極間の抵抗を著しく低減することができた（但し、450℃の熱処理がない場合に限る）。以下、具体的に図面を用いて説明する。

【0019】図1は本発明の原理説明図である。図1

(a)では、GaAs等の第1の半導体層上にGaAs層とInGaAs層の薄膜が交互に積層されたGaAs層/InGaAs層からなる超格子層を形成し、更にこの超格子層上にAlGaAsやGaAs等の第2の半導体層を形成することで、GaAs第1の半導体層とGaAs/InGaAs超格子層とGaAs第2の半導体層とが接している状態を示している。なお、このように第1の半導体層と第2の半導体層を同じ材料にしてもよい

が、同じ材料でなくてもよい。超格子層は、組成の異なる複数の薄い(数十Å程度)半導体層の積層構造からなっている。通常、バンドギャップが違えば格子定数が違い、薄く形成しないと結晶が壊れてしまう。この成膜性と電子のトンネル効果を考慮すると、超格子層を構成する半導体薄膜層の膜厚は10Å以上100Å以下が好ましい。

【0020】ところで、従来のように超格子層を介さずに半導体層上に金属膜を形成した場合では、図1(c)に示すように、金属と半導体間がショットキー接合となり、電子は半導体層中に侵入することができない。このため、単に半導体層上に金属膜を形成する方法では、半導体層と金属膜とのコンタクト抵抗を低減することができない。

【0021】これに対し、前述した図1(a)に示す如く、超格子層を介して半導体層と半導体層を形成すると、図1(b)に示す如く、薄い超格子層のバリア層を電子がトンネリングして、電子が半導体層中に容易に侵入することができる。超格子のバリア部はGaAsのように均一の組成で厚みが等しい半導体からなる。ウェル(谷)部は電導帯の底がバリア部よりも深く、隣のウェルになるに従って順番に浅くなり、厚みは厚くなるものが好ましい。なお、図1(a)のA部の如く、一定の組成で超格子を形成する場合でもよいが、歪みを生じないように成膜することを考慮すると、前述の組成(伝導帯または電導帯の差)が順番に変化し、それに伴って適宜膜厚も変化させるようにするのが望ましい。

【0022】本発明では、図1(a)に示す構造の第1の半導体層をコレクタ層とし、超格子層と第2の半導体層をコレクタコンタクト層とし、この両者の間に超格子層を挟む構造にすることで、以下のような作用効果を得ることができる。

(a) コレクタ側からコレクタコンタクト側に注入される電子は、超格子層の存在による電子走行の妨げは感じず、コレクタコンタクト側に注入することができる。

(b) コレクタ部を除去して超格子層と金属膜を接触させても電子の障壁はできず、電子は電子のトンネル効果により効率良く超格子層を突き抜けさせることができる。従って、高温熱処理を行わないで、コンタクト抵抗が低減された安定したコレクタオーミック電極を容易に形成することができる。

(c) コレクタ電極の形成に高温熱処理を行わないで済ませることができるため、プロセスの自由度を上げることができる。

(d) 第1の半導体層と超格子ウェル部の半導体層の性質が異なるため、ウェル部でエッチングを止めることができる。このため、超格子層がエッチング停止層となり、コレクタコンタクト層の表面を容易に露出させることができる。

(e) 超格子層が歪み入り超格子となることが期待で

き、これにより基板から伸びてきた転位を吸収して、転位が上層に伝わることを防ぐことができ、より一層素子の信頼性を向上させることができる。

【0023】

【実施例】以下、本発明を図面に基づいて説明する。図2は本発明の一実施例に則した半導体装置の構造を示す断面図である。図示例はHBTに適用する場合である。

ここでは、エミッタに $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 、ベース・コレクタにGaAsを用い、コレクタコンタクト層とコレクタ層間に本発明を適用し、具体的にはInGaAs薄膜とGaAs薄膜が交互に形成されてなる超格子をこの部分に用いる。図1において、1は半絶縁性GaAs等の基板であり、この基板1上にコレクタコンタクト層2($n^+ - \text{GaAs}$ $5 \times 10^{18} \text{cm}^{-3}$, 5000Å)、超格子層3(InGaAs/GaAs, $5 \times 10^{18} \text{cm}^{-3}$, 300Å)〔詳しくは図1(a), (b)に示したものと同一である〕、コレクタ層4($n - \text{GaAs}$, $3 \times 10^{16} \text{cm}^{-3}$, 4000Å)、ベース層5($p^+ - \text{GaAs}$ $4 \times 10^{19} \text{cm}^{-3}$, 700Å)、エミッタ層6(N-AlGaAs, $5 \times 10^{17} \text{cm}^{-3}$, 1500Å)、エミッタコンタクト層7($n^+ - \text{GaAs}$, $5 \times 10^{18} \text{cm}^{-3}$, 1000Å/ $n^+ - \text{InGaAs}$, $5 \times 10^{19} \text{cm}^{-3}$, 1000Å)を各々MBE法で結晶成長し、フォトリソストを用いてエミッタメサエッチング、ベースメサエッチングを行う。ベースメサエッチング時に、例えば水酸化アンモニウムと過酸化水素の混合液を用いることで、コレクタ層4のGaAs層だけが選択的にエッチングされる。エッチングは、コレクタコンタクト層2上の超格子層3で停止し、この超格子層3表面が露出される。この時、コレクタ層4直下の超格子層3部分(図の点々部)は、図3に示されるようなバンド構造となり、コレクタ層4からコレクタコンタクト層2への電子の障害はなく、効率良く電子を超格子層3を突き抜けさせてエミッタコンタクト層7内に注入することができる。また、エッチングによって表面が露出された超格子層3部分(図の斜視部)は、金属からなるコレクタ電極10を付けることで、前述した図1(b)に示されるようなバンド構造となり、ノンアロイのオーミックコンタクトを得ることができる。このため、例えばTi(100Å)/Pt(900Å)/Au(3000Å)を用いて同時にエミッタ電極8、ベース電極9及びコレクタ電極10を形成することができる。これにより、電極形成プロセスを単純化することができるうえ、アロイ電極を用いないため、コンタクト抵抗低減化のための高温熱処理を行わないで、コンタクト抵抗が十分低減された安定したコンタクト部を得ることができる。

【0024】なお、上記実施例では、コレクタ電極10とコレクタコンタクト層2間に超格子層3を形成する場合について説明したが、本発明はこれに限定されるものではなく、図4に示すように、エミッタ電極8とエミッタ層6間、及びベース電極9とベース層5間にも超格子層

7

3を形成する場合であってもよいし、図5に示すように、エミッタ電極8とエミッタコンタクト層11間、及びベース電極9とベース層5間、更にはコレクタ電極10とコレクタ層4間に形成する場合であってもよい。これらの場合はエミッタ、ベース、コレクタの全てのコンタクト部を高温熱処理を行わないで、コンタクト抵抗を低減することができる。なお、図5はコレクタアップ構造のHBTに適用する場合である。

【0025】なお、上記各実施例では、超格子部には、狭いバンドギャップの半導体をInGaAsを用いる場合を説明したが、これには限らずInAsやGaSb等のバンドギャップの狭い半導体、あるいはその混晶を用いても良い。超格子としては、例えば図6(a)，(b)，(c)に示すようなバンド構造の半導体の組み合わせを適宜用いればよい。図6(a)はEcのバンドは下がっているが、Evのバンドは上がっている場合であり、図6(b)，(c)はEc，Ev共バンドが下がっている場合である。

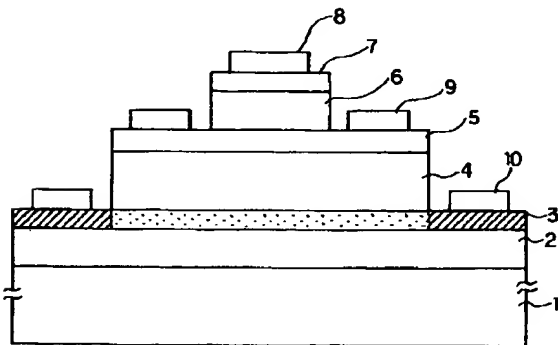
【0026】また、各実施例ではAlGaAs/GaAs系を用いてHBTを構成する場合について説明したが、本発明はこれに限定されず、例えばInP/InGaAsやInAlAs/InGaAs系、あるいはSi/SiGe系等を用いてHBTを構成してもよく、このうちSi/SiGe系のHBTでは超格子部のバンドギャップの狭い半導体にはInAsやGe等の半導体を用いればよい。

【0027】更に、上記実施例では、半導体装置としてHBTを例示して説明したが、本発明はこれに限定されず、ホットエレクトロントランジスタ(HET)や静電誘導トランジスタ(PBT)等の半導体装置にも同様に適用することができるのは言うまでもない。

【0028】

【図2】

本発明の実施例1に則した半導体装置の構造を示す断面図



8

【発明の効果】本発明によれば、高温熱処理を行わないで、コレクタ電極とコレクタコンタクト層のコンタクト抵抗を低減することができ、安定した素子特性を得ることができるとともに、プロセスの自由度を上げることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の実施例1に則した半導体装置の構造を示す断面図である。

【図3】図2に示すコレクタ層とコレクタコンタクト層間の超格子層部分のバンド構造を示す図である。

【図4】本発明の実施例2に則した半導体装置の構造を示す断面図である。

【図5】本発明の実施例3に則した半導体装置の構造を示す断面図である。

【図6】本発明に適用できる超格子材料の組み合わせの例を示すバンド図である。

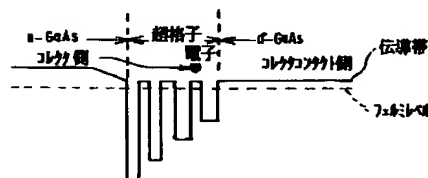
【図7】従来例のヘテロ接合バイポーラトランジスタの構造を示す断面図である。

【符号の説明】

- 1 基板
- 2 コレクタコンタクト層
- 3 超格子層
- 4 コレクタ層
- 5 ベース層
- 6 エミッタ層
- 7 エミッタコンタクト層
- 8 エミッタ電極
- 9 ベース電極
- 10 コレクタ電極
- 11 エミッタコンタクト層

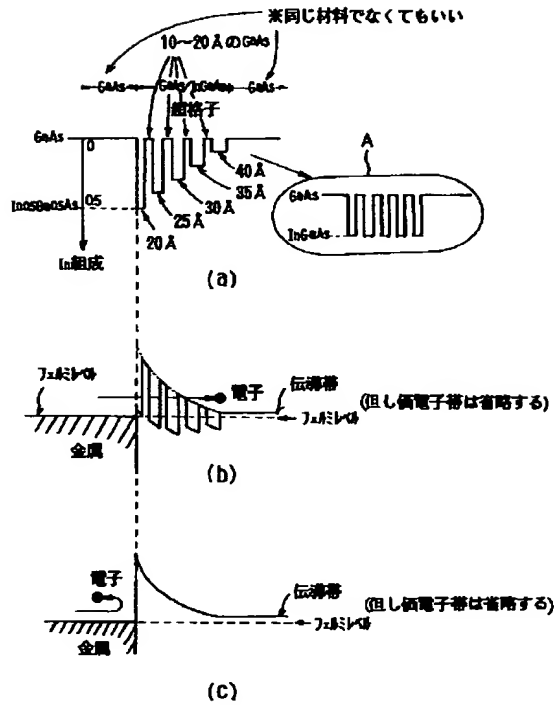
【図3】

図2に示すコレクタ層とコレクタコンタクト層間の超格子層部分のバンド構造を示す図



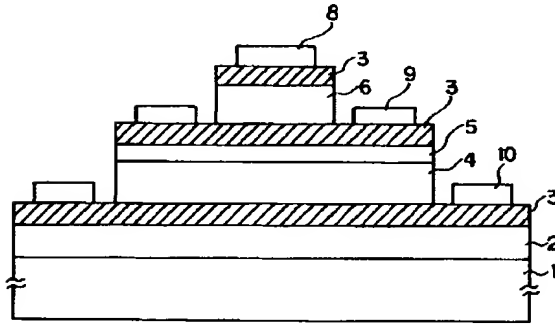
【図1】

本発明の原理説明図



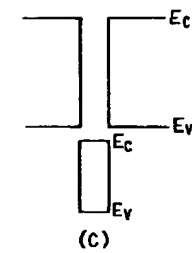
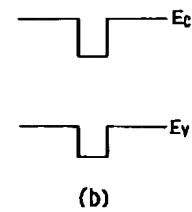
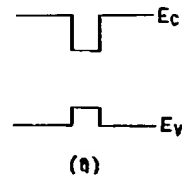
【図4】

本発明の実施例2に則した半導体装置の構造を示す断面図



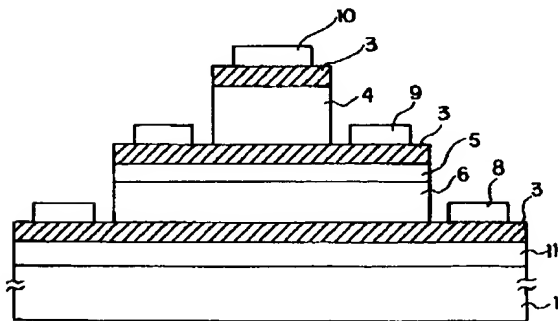
【図6】

本発明に適用できる超格子材料の組合せの例を示すバンド図



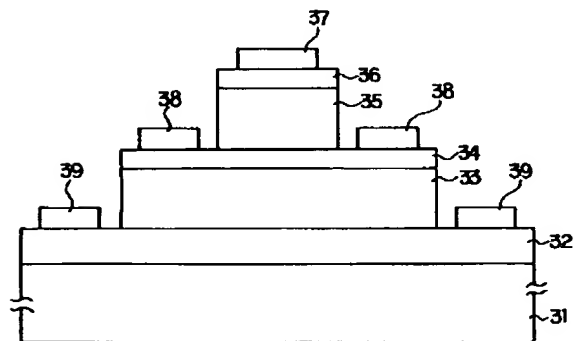
【図5】

本発明の実施例3に則した半導体装置の構造を示す断面図



【図7】

従来例のヘテロ接合バイポーラトランジスタの構造を
示す断面図



フロントページの続き

(51)Int. Cl.⁵

H01L 29/205

識別記号

片内整理番号

F I

技術表示箇所